





[Date of extinction of right]

Copyright (C); 1998,2003 Japan Patent Office

(19) 日本国特許庁 (J P)

(12) 公開特許公報 (A)

(11) 特許出願公開番号  
特開2002-25294  
(P2002-25294A)

(43) 公開日 平成14年1月25日 (2002.1.25)

(51) Int.Cl. <sup>7</sup>	識別記号	F I	テーマコード (参考)
G 1 1 C 29/00	6 5 1	G 1 1 C 29/00	6 5 1 T 2 G 0 3 2
G 0 1 R 31/28		G 0 1 R 31/28	B 5 L 1 0 6
31/319			R
			D

審査請求 未請求 請求項の数 6 O L (全 13 頁)

(21) 出願番号 特願2000-204757(P2000-204757)

(22) 出願日 平成12年7月6日 (2000.7.6)

(71) 出願人 390005175

株式会社アドバンテスト

東京都練馬区旭町1丁目32番1号

(72) 発明者 宝迫 孝弘

東京都練馬区旭町1丁目32番1号 株式会  
社アドバンテスト内

(74) 代理人 100066153

弁理士 草野 卓 (外1名)

Fターム (参考) 2G032 AA07 AB06 AD06 AE08 AH04

AL00

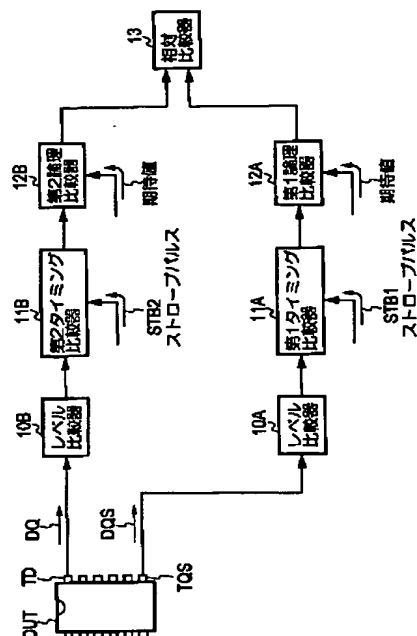
5L106 DD22 EE03 GG03

(54) 【発明の名称】 半導体デバイス試験方法・半導体デバイス試験装置

(57) 【要約】

【課題】 データの読み出し出力と同期して基準クロックを出力し、この基準クロックをデータの受渡しに供する半導体デバイスにおいて、基準クロックとデータとの間の位相差が所定の条件を満たすとき不良と判定する試験方法を提案する。

【解決手段】 基準クロックとデータの発生タイミングをタイミング比較器11A、11Bでタイミング比較し、そのタイミング比較結果を論理比較器12A、12Bで論理比較し、その論理比較結果が所定の条件を満たすか否かを相対比較器13で比較し、所定の条件を満たした状態を検出して基準クロックとデータとの位相差が所定値以上と判定し、または、データの持続時間が所定の時間以上継続したと判定する半導体デバイス試験方法。



## 【特許請求の範囲】

【請求項 1】被試験デバイスから出力されるデータ及びこのデータと同期してデータの受渡に供する基準クロックの発生タイミングをストローブパルスのサーチ動作でそれぞれタイミング比較し、このタイミング比較結果を論理比較器でそれぞれ期待値と比較し、期待値と一致するか否かにより被試験デバイスの良、不良を判定する半導体デバイス試験装置において、

被試験デバイスから出力される各データの各論理判定結果と、上記基準クロックの論理判定結果とをそれぞれ比較し、これらの論理判定結果が所定の条件を満たしたことを検出して上記データのタイミングが上記基準クロックのタイミングに対して所定の位相関係を満たしていると判定することを特徴とする半導体デバイス試験方法。

【請求項 2】請求項 1 記載の半導体デバイス試験方法において、上記基準クロックの基準エッジのタイミングをタイミング比較するストローブパルスのタイミングから、上記各データの前縁のタイミングをタイミング比較するストローブパルスのタイミングを予め所定の時間遅延した関係に設定し、上記基準クロックの論理判定結果が良で、上記各データの論理判定結果が不良と判定されたことを検出してその不良と判定されたデータが上記基準クロックより所定の時間以上遅延して発生していると判定することを特徴とする半導体デバイス試験方法。

【請求項 3】請求項 1 記載の半導体デバイス試験方法において、上記基準クロックの基準エッジのタイミングをタイミング比較するストローブパルスのタイミングから、上記各データの後縁のタイミングをタイミング比較するストローブパルスのタイミングを予め所定の時間遅延した関係に設定し、上記基準クロックの論理判定結果が不良で、上記各データの論理判定結果が不良と判定されたことを検出してその不良と判定されたデータの後縁のタイミングが上記基準クロックの前縁のタイミングから所定の時間以上継続していないと判定することを特徴とする半導体デバイス試験方法。

【請求項 4】A、被試験デバイスのクロック出力端子から出力される基準クロックのタイミングをストローブパルスの発生タイミングでタイミング比較する第 1 タイミング比較器と、

B、被試験デバイスの各出力端子から出力される各データのタイミングをそれぞれストローブパルスの発生タイミングでタイミング比較する複数の第 2 タイミング比較器と、

C、上記第 1 タイミング比較器のタイミング比較結果を所定の期待値と比較する第 1 論理比較器と、

D、上記第 2 タイミング比較器の各タイミング比較結果をそれぞれ所定の期待値と比較する複数の第 2 論理比較器と、

E、上記第 1 論理比較器の論理比較結果と上記第 2 論理比較器の論理比較結果のそれぞれを比較し、上記第 1 論

理に比較器の比較結果と、第 2 論理比較器の論理比較結果が所定の条件を満たしたことを検出する相対比較器と、

によって構成したことを特徴とする半導体デバイス試験装置。

【請求項 5】A、被試験デバイスのクロック出力端子から出力される基準クロックの基準エッジのタイミングをストローブパルスの発生タイミングでタイミング比較する第 1 タイミング比較器と、

10 B、被試験デバイスの各出力端子から出力される各データの前縁のタイミングをそれぞれストローブパルスの発生タイミングでタイミング比較する複数の第 2 タイミング比較器と、

C、上記第 1 タイミング比較器のタイミング比較結果を所定の期待値と比較する第 1 論理比較器と、

D、上記第 2 タイミング比較器の各タイミング比較結果をそれぞれ所定の期待値と比較する複数の第 2 論理比較器と、

20 E、上記第 1 論理比較器の論理比較結果と上記第 2 論理比較器の比較結果のそれぞれを比較し、上記第 1 論理に比較器の比較結果が良、第 2 論理比較器の比較結果が不良である条件を検出して上記データの後縁のタイミングが上記基準クロックの前縁から所定の時間以上遅れていると判定する相対比較器と、

によって構成したことを特徴とする半導体デバイス試験装置。

【請求項 6】A、被試験デバイスのクロック出力端子から出力される基準クロックの基準エッジのタイミングをストローブパルスの発生タイミングでタイミング比較する第 1 タイミング比較器と、

30 B、被試験デバイスの各出力端子から出力される各データの後縁のタイミングをそれぞれストローブパルスの発生タイミングでタイミング比較する複数の第 2 タイミング比較器と、

C、上記第 1 タイミング比較器のタイミング比較結果を所定の期待値と比較する第 1 論理比較器と、

D、上記第 2 タイミング比較器の各タイミング比較結果をそれぞれ所定の期待値と比較する複数の第 2 論理比較器と、

40 E、上記第 1 論理比較器の論理比較結果と上記第 2 論理比較器の論理比較結果のそれぞれを比較し、上記第 1 論理に比較器の論理比較結果が不良、第 2 論理比較器の比較結果が不良である条件を検出して上記データの後縁のタイミングが上記基準クロックの前縁から所定の継続時間に満たないと判定する相対比較器と、

によって構成したことを特徴とする半導体デバイス試験装置。

【発明の詳細な説明】

【0001】

50 【発明の属する技術分野】この発明は高速で書き込み、

及び読み出しが可能な半導体デバイスを試験する場合に用いて好適な半導体デバイス試験方法及びこの試験方法を用いて動作する半導体デバイス試験装置に関する。

【0002】

【従来の技術】半導体で構成されるメモリの品種の中にはクロックと共にデータを入力し、クロックに同期して半導体デバイスへデータを書き込み、クロックと共にクロックに同期したデータが半導体デバイスから出力され、このクロックのタイミングを利用して他のデバイスにデータの受渡しを行うメモリが存在する。図13にこの種のメモリの読み出し時の様子を示す。図14Aに示すDA、DB、DC…は半導体デバイスから出力されるデータ（ある1つのピンから出力されたデータ）を示す。TD1、TD2…は各テストサイクルを示す。図14Bに示すDQSはメモリから出力されるクロックを示す。データDA、DB、DC…はこのクロックDQSに同期して半導体デバイスから出力される。このクロックは実用されている状態では他のデバイスにデータDA、DB、DC…を受け渡す際の同期信号（データストロープ）として利用される。

【0003】この種の半導体デバイスを試験する場合の試験項目の一つに、各クロックDQS（以下このクロックを基準クロックと称す）の前縁又は後縁のタイミングから、データの変化点までの時間差（位相差）dI1、dI2、dI3…が例えば極力短い程応答が速く優れた特性を持つデバイスとして評価される。また、基準クロックDQSの前縁からデータDQの後縁までの時間dJ1及びdJ2が長い程データの持続性が良いデバイスと評価される。これらの時間の長短によって被試験半導体デバイスのグレードが決定される。

【0004】被試験半導体デバイスから出力される基準クロックDQSは実用されている状態ではクロック源で生成されたクロックが半導体デバイスに印加され、このクロックが半導体デバイスの内部の回路に配給され、このクロックに同期してデータが出力される。従って、試験装置で試験を行う場合にも試験装置側から被試験半導体デバイスにクロックを印加し、そのクロックが被試験半導体デバイスの内部を通り、データと共にデータ受渡しのための基準クロックとして出力される。従って、この基準クロックの一般的には前縁又は後縁のタイミングを測定し、この計測した前縁又は後縁のタイミングからデータDA、DB、DC…の変化点までの時間dI1、dI2、dI3…又はdJ1、dJ2…を測定することになる。

【0005】上述したように半導体デバイスから出力される基準クロックはその半導体デバイスの内部を通過して出力されるため、その発生タイミングはこの半導体デバイスの内部の温度等の外的環境の影響を大きく受け、図14に示すように各半導体デバイスごとに基準クロックDQS1、DQS2、DQS3…の位相に差が発生す

る現象が見られる。さらに位相の差は各半導体デバイスの違いによるものに加えて、半導体デバイスの内部でもアクセスするメモリのアドレスの違い、時間の経過（熱的な変化）に従って変動するいわゆるジッタJが発生する現象も見られる。

【0006】従って、基準クロックDQSの前縁のタイミング又は後縁のタイミングからデータDA、DB、DC…の変化点までの時間dI1、dI2、dI3…又はdJ1、dJ2…を測定するためには、先ず各半導体デバイスから出力される基準クロックDQSの前縁のタイミング又は後縁のタイミングが既知の値として与えられなければならない。基準クロックDQSの発生タイミングを既知の値として取得するには予め試験に使用する全ての試験パターン（全てのテストサイクル）を順次被試験デバイスに印加し、その各試験パターンの読み出し時に発生する基準クロックDQSの発生タイミングを測定し、その測定値を予めメモリ等に記憶させ、全てのテストサイクルに渡って基準クロックDQSの発生タイミングのデータを取得した状態で実際の試験を行う方法が考えられる。

【0007】実際の試験ではメモリに記憶した基準クロックDQSの発生タイミングを各テストサイクル毎に読み出し、その読み出された基準クロックDQSの発生タイミングから各データの前縁のタイミング又は後縁のタイミングとの位相差を測定し、データDQの前縁側のタイミングを試験する場合はこの位相差が所定の値を越えなければ良と判定し、位相差が所定の時間を越えた場合を不良と判定し、データDQの後縁側の持続時間を試験する場合はデータの後縁までの位相差が所定の時間以上継続したかを判定すればよい。

【0008】

【発明が解決しようとする課題】上述したように、基準クロックDQSの発生タイミングを全てのテストサイクル毎に測定し、その測定値を取得した状態で実際の試験を行うとすると、実質的に試験に要する時間は通常の倍の時間を必要とし、試験に要する時間が長くなってしまふ欠点がある。また、図14で説明したように、基準クロックDQSの発生タイミングにはジッタJを含むものとなるため、一度全てのテストサイクルに渡ってその発生タイミングを測定したとしても、その測定値の信頼性は低い。従ってその測定値を利用して行う試験の制度も信頼性が低いものとなる。

【0009】この発明の目的は自己が発生する基準クロックを基準に各データの位相が所定の位相差の範囲に入っているか否かを判定しなければならない半導体デバイスの試験方法において、初めからリアルタイムで試験を行うことができ、従って短時間に試験を完了することができ、然も試験結果の信頼性も高い半導体デバイス試験方法を提案しようとするものである。

【0010】

【課題を解決するための手段】この発明の請求項1では、被試験デバイスから出力されるデータ及びこのデータと同期してデータの受渡に供する基準クロックの発生タイミングをストロブパルスのサーチ動作でそれぞれタイミング比較し、このタイミング比較結果を論理比較器でそれぞれ期待値と比較し、期待値と一致するか否かにより被試験デバイスの良、不良を判定する半導体デバイス試験装置において、被試験デバイスから出力される各データの各論理判定結果と、基準クロックの論理判定結果とをそれぞれ比較し、これらの論理判定結果が所定の条件を満たしたことを検出してデータのタイミングが基準クロックのタイミングに対して所定の位相関係を満たしていると判定する半導体デバイス試験方法を提案する。

【0011】この発明の請求項2では、請求項1記載の半導体デバイス試験方法において、基準クロックの基準エッジのタイミングをタイミング比較するストロブパルスのタイミングから、各データの前縁のタイミングをタイミング比較するストロブパルスのタイミングを予め所定の時間遅延した関係に設定し、基準クロックの論理判定結果が良で、各データの論理判定結果が不良と判定されたことを検出してその不良と判定されたデータが基準クロックより所定の時間以上遅延して発生していると判定する半導体デバイス試験方法を提案する。

【0012】この発明の請求項3では、請求項1記載の半導体デバイス試験方法において、基準クロックの基準エッジのタイミングをタイミング比較するストロブパルスのタイミングから、各データの後縁のタイミングをタイミング比較するストロブパルスのタイミングを予め所定の時間遅延した関係に設定し、基準クロックの論理判定結果が不良で、各データの論理判定結果が不良と判定されたことを検出してその不良と判定されたデータの後縁のタイミングが基準クロックの前縁のタイミングから所定の時間以上継続していないと判定する半導体デバイス試験方法を提案する。

【0013】この発明の請求項4では、被試験デバイスのクロック出力端子から出力される基準クロックのタイミングをストロブパルスの発生タイミングでタイミング比較する第1タイミング比較器と、被試験デバイスの各出力端子から出力される各データのタイミングをそれぞれストロブパルスの発生タイミングでタイミング比較する複数の第2タイミング比較器と、第1タイミング比較器のタイミング比較結果を所定の期待値と比較する第1論理比較器と、第2タイミング比較器の各タイミング比較結果をそれぞれ所定の期待値と比較する複数の第2論理比較器と、第1論理比較器の論理比較結果と第2論理比較器の論理比較結果のそれぞれを比較し、第1論理に比較器の比較結果と、第2論理比較器の比較結果が不良である条件を検出してデータの後縁のタイミングが基準クロックの前縁から所定の継続時間に満たないと判定する相対比較器と、によって構成した半導体デバイス試験装置を提案す

る。

【0014】この発明の請求項5では、被試験デバイスのクロック出力端子から出力される基準クロックの基準エッジのタイミングをストロブパルスの発生タイミングでタイミング比較する第1タイミング比較器と、被試験デバイスの各出力端子から出力される各データの前縁のタイミングをそれぞれストロブパルスの発生タイミングでタイミング比較する複数の第2タイミング比較器と、第1タイミング比較器のタイミング比較結果を所定の期待値と比較する第1論理比較器と、第2タイミング比較器の各タイミング比較結果をそれぞれ所定の期待値と比較する複数の第2論理比較器と、第1論理比較器の論理比較結果と第2論理比較器の比較結果のそれぞれを比較し、第1論理に比較器の比較結果が良、第2論理比較器の比較結果が不良である条件を検出してデータの前縁のタイミングが基準クロックの前縁から所定の時間以上遅れていると判定する相対比較器と、によって構成した半導体デバイス試験装置を提案する。

【0015】この発明の請求項6では、被試験デバイスのクロック出力端子から出力される基準クロックの基準エッジのタイミングをストロブパルスの発生タイミングでタイミング比較する第1タイミング比較器と、被試験デバイスの各出力端子から出力される各データの後縁のタイミングをそれぞれストロブパルスの発生タイミングでタイミング比較する複数の第2タイミング比較器と、第1タイミング比較器のタイミング比較結果を所定の期待値と比較する第1論理比較器と、第2タイミング比較器の各タイミング比較結果をそれぞれ所定の期待値と比較する複数の第2論理比較器と、第1論理比較器の論理比較結果と第2論理比較器の論理比較結果のそれぞれを比較し、第1論理に比較器の論理比較結果が不良、第2論理比較器の比較結果が不良である条件を検出してデータの後縁のタイミングが基準クロックの前縁から所定の継続時間に満たないと判定する相対比較器と、によって構成した半導体デバイス試験装置を提案する。

【0016】

【作用】この発明で提案した半導体デバイス試験方法及び半導体デバイス試験装置によれば、通常の半導体デバイス試験装置の論理判定結果を相対的に比較判定し、基準クロックに対する判定結果と各データに対する判定結果の条件が所定の条件を満たしたことを検出してデータの発生タイミングが基準クロックの発生タイミングより所定時間以上遅れていないと判定する試験方法及び基準クロックの基準エッジのタイミングからデータの後縁までの持続時間が所定時間以上を満たしたかを判定する試験方法を提案するものである。

【0017】ここで各データの発生タイミングをタイミング比較するためのストロブパルスの位相を、基準クロックの発生タイミングをタイミング比較するためのストロブパルスの位相より所定の時間遅れ位相に設定す

ることにより、基準クロックの論理判定結果と、各データの論理判定結果との組合せが所定の条件を満たした場合は各データの発生タイミングが設定した遅延位相より遅れていないと判定することができる。またデータの持続時間が所定の時間以上継続したと判定することができる。

【0018】従って、この発明によれば通常の半導体デバイス試験装置の各論理比較器の後段に相対比較器を設けるだけの比較的簡単な構成で基準クロックを出力する半導体デバイスの試験を短時間に済ますことができ、また試験の信頼性も高い半導体デバイス試験方法及び半導体デバイス試験装置を提供することができる利点が得られる。

【0019】

【発明の実施の形態】図1にこの発明により半導体デバイス試験方法により基準クロックDQSを発生する半導体デバイスを試験する半導体デバイス試験装置の一実施例を示す。図1において、DUTは被試験半導体デバイスを示す。この被試験半導体デバイスDUTはデータDQを出力するデータ出力端子TDと、基準クロックDQSを出力する出力端子TQSとを有する。図1ではデータ出力端子TDを1本として示しているが、現実には16本程度の出力端子TDが存在する。クロック出力端子TQSにはレベル比較器10Aと、第1タイミング比較器11Aと、第1論理比較器12Aの縦続回路を接続する。

【0020】またデータ出力端子TDにも同様にレベル比較器10Bと、タイミング比較器11Bと、第2論理比較器12Bからなる縦続回路を接続する。これらの縦続回路は従来の半導体デバイス試験装置の構成と同じものでよい。この発明の特徴とする構成は基準クロックDQSの論理比較結果を出力する第1論理比較器12の論理判定結果と、各データDQの論理比較結果を出力する第2論理比較器12の論理判定結果を相対的に比較する相対比較器13を設けた構成とした点である。

【0021】先ずレベル比較器10A、10Bと第1、第2タイミング比較器11A、11Bと第1、第2論理比較器12A、12Bの各動作について説明する。レベル比較器10A、10Bは共に図2に示すように一対の電圧比較器CP1とCP2によって構成され、これら一対の電圧比較器CP1とCP2により被試験半導体デバイスDUTが出力する基準クロックDQS又は各データDA、DB、DC…(図8参照)の論理値が正規の電圧条件を満たしているか否かを判定する。電圧比較器CP1は基準クロックDQS又は各データDA、DB、DC…のH論理の電圧値が正規の電圧値VOH以上であるか否かを判定する。また電圧比較器CP2は基準クロックDQS又は各データDA、DB、DC…のL論理側の電圧値が正規の電圧VOL以下であるか否かを判定する。

【0022】これらの判定結果をタイミング比較器11

A、11Bに入力しストロブパルスSTBが印加されたタイミングで電圧比較器CP1及びCP2の出力の状態を読み取る。つまり、タイミング比較器11A、11BはストロブパルスSTBの印加タイミング毎にそのときの入力されている基準クロックDQS及びデータDQの論理値を読み取る動作を実行する。論理比較器12A、12Bはタイミング比較器11A、11BがストロブパルスSTBのタイミングで読み取った結果と予めテストサイクル毎に定めた期待値(図2の例ではH論理)とを比較しテストサイクル毎にパス(良)、フェイル(不良)判定を行い結果をPAに出力する。

【0023】判定は、期待値がH論理のときは電圧比較器CP1からの論理値を見て電圧比較器CP1の論理値がH論理のときパス(良)、電圧比較器CP1の論理値がL論理のときフェイル(不良)と判定する。期待値がL論理のときは電圧比較器CP2からの論理値を見て電圧比較器CP2の論理値がH論理のときパス(良)、電圧比較器CP2の論理値がL論理のときフェイル(不良)と判定する。この時の、判定の結果をPAに出力する。

【0024】図3を用いて基準クロックDQSの立上りの発生タイミングを検出する動作を説明する。基準クロックDQSの立上りのタイミングを検出するテストサイクルにおいて、ストロブパルスSTBをTずつ遅延して同じテストを繰り返す(図3参照)。つまり、ストロブパルスSTBをTずつ遅延して同じテストを繰り返すことで、テスト毎にストロブパルスSTBがTずつ遅延されて第1タイミング比較器11Aに与えられ電圧比較器CP1及びCP2の出力の状態を読み取る。第1論理比較器12Aは第1タイミング比較器11AがストロブパルスSTBのタイミング比較結果を出力する毎にその比較結果と期待値とを比較しパス(良)、フェイル(不良)を判定し結果をPAに出力する。

【0025】この場合、第1論理比較器12Aの出力がフェイル(不良)からパス(良)に変わったことにより、第1レベル比較器10Aの出力がH論理に反転したことを読み取ったストロブパルスSTBn(図3B参照)を知り基準クロックDQSの立上りのタイミングTnを決定する。また、基準クロックDQSの立下りのタイミング検出する場合は、期待値をL論理にし立上りの検出と同様に第1論理比較器12Aの出力がフェイル(不良)からパス(良)に変わったストロブパルスにより立下りのタイミングを決定する。

【0026】第2レベル比較器10Bと、第2タイミング比較器11Bと、第2論理比較器12Bにおいても、第1レベル比較器10Aと、第1タイミング比較器11Aと、第1論理比較器12Aと同様の動作をし、データDQの立上り、立下りのタイミングも、基準クロックDQSの立上り、立下りのタイミングの検出と同様にタイ

ミングを決定する。以上により、レベル比較器 10A、10Bと、タイミング比較器 11A、11Bと、論理比較器 12A、12Bの従来と同じ部分の動作が理解されよう。

【0027】次にこの発明に係わるタイミング比較器 11A、11Bの動作について説明する。基準クロック DQSの発生タイミングを比較する第1タイミング比較器 11Aにはストローブパルス STB1を印加し、データ DQの発生タイミングを比較する第2タイミング比較器 11Bにはストローブパルス STB2を印加する。これらのストローブパルス STB1と STB2には位相差  $T_{dq}$ を与える。この位相差  $T_{dq}$ はデータ DQが基準クロック DQSのこの例では前縁のタイミングより位相差  $T_{dq}$ 以上遅延した場合は、そのデータ端子は不良であると判定するために付した遅延時間である。

【0028】これらのストローブパルス STB1と STB2は図14で説明した基準クロック DQSのジッタの範囲内を少しずつ位相をずらしながら基準クロック DQSの例えば立ち上がりのタイミング及びデータ DQの変化点を検出する動作を実行する。以下この動作をサーチと呼ぶことにする。図4を用いてサーチ動作の範囲について説明する。基準クロック DQSのジッタは被試験デバイス DUTの動作を規定するクロック CLKの前縁のタイミングを中心に発生する。良品のデバイスであればデータ DQも基準クロック DQSに発生するジッタの範囲で変化点変動する。従って、ジッタの発生量を(図4B)とすると、ストローブパルス STB1は  $-T_{dq} \sim +T_{dq}$  までの間を少しずつ(例えば図 15に示した  $\tau T$ )位相をずらしながらサーチさせ、またストローブパルス STB2は  $-T_{dq} + T_{dq} \sim +T_{dq} + T_{dq}$  の範囲をサーチさせる。

【0029】このサーチ動作の間にストローブパルス STB1は基準クロック DQSの発生タイミングを検出し、ストローブパルス STB2はデータ DQの発生タイミングをタイミング比較することになる。基準クロック DQSとデータ DQとの位相差  $T_a$ とストローブパルス STB1とストローブパルス STB2との位相差  $T_{dq}$ との大小関係で相対比較器 13は判定結果を出力する。

【0030】以下、基準クロック DQSの立上りとデータ DQの有効データが“H”の場合に期待値がH論理の時を例に説明する。第1論理比較器 12Aと第2論理比較器 12Bはそれぞれストローブパルス STB1及び STB2がそれぞれ基準クロック DQS及びデータ DQの1論理の区間を打ち抜いた場合に0論理(パス)を出力し、0論理の区間を打ち抜いた場合は1論理(フェイル)を出力する。

【0031】図5Aは基準クロック DQSとデータ DQの変化点までの位相差  $T_a$ とストローブパルス STB1と STB2の位相差  $T_{dq}$ の関係が  $T_a = T_{dq}$  の場合のタイミングチャートを示す。この場合にはストローブ

パルス STB1と STB2が基準クロック DQSとデータ DQの変化点(1論理に立ち上がる変化点)より前の0論理の期間を打ち抜いている状態では図5Bの比較タイミング T1と T2に示すように第1及び第2論理比較器 12Aと 12Bは共に1論理(フェイル)を出力する。ストローブパルス STB1と STB2のサーチ動作が進み、ストローブパルス STB1が基準クロック DQSの前縁のエッジに達すると、 $T_a = T_{dq}$ であるから、ストローブパルス STB2もデータ DQの変化点に達する。この結果、第1論理比較器 12A及び第2論理比較器 12Bは比較タイミング T3、T4に示すように共に0論理(パス)を出力する。

【0032】次に  $T_a < T_{dq}$  の場合を検証する  $T_a < T_{dq}$  の場合はストローブパルス STB1と STB2のサーチ動作により図6Aに示すようにストローブパルス STB2ガスとローブパルス STB1より先にデータ DQの変化点に達する。この結果、第2論理比較器 12Bは図6Bに示すように比較タイミング T3で速くも0論理のパスを出力するが、第1論理比較器 12Aは未だ1論理のフェイルを出力し続ける。ストローブパルス STB1と STB2のサーチ動作が進み、論理比較タイミング T5に達した時点でストローブパルス STB1が基準クロック DQSの前縁のタイミングに到達する。この結果第1論理比較器 12Aは比較タイミング T5で0論理のパスを出力する。

【0033】一方、 $T_a > T_{dq}$  の場合には、ストローブパルス STB1と STB2のサーチ動作により図7Aに示すようにストローブパルス STB1が STB2より先に基準クロック DQSの前縁のタイミングに達する。この結果図7Bに示すように比較タイミング T3で第1論理比較器 12Aは0論理のパスを出力するが、第2論理比較器 12Bの論理比較出力は1論理を出しつづける。ストローブパルス STB1と STB2のサーチ動作が進み、比較タイミング T5に達すると、ストローブパルス STB2がデータ DQの変化点に到達し、その論理比較出力は図7Bに示すように0論理に反転する。

【0034】以上の組合せから解くことは図7Bに示した比較タイミング T3と T4の状態を検出すれば基準クロック DQSとデータ DQの位相差  $T_a$ が所定値  $T_{dq}$ を越えていることを検出することができる。従って、相対比較器 13の真理値表を図11Aに示すように設定すれば  $T_a > T_{dq}$  の状態のとき1論理のフェイルを出力させることができる。以上の説明はデータ DQの前縁側のタイミングが基準クロック DQSの立ち上がりのタイミングから所定の時間  $T_{dq}$  の範囲内に存在するか否かを判定した例を説明したが、試験を行う利用者によってはデータ DQの後縁側のタイミングが基準クロック DQSの立上りのタイミングから所定の時間以上維持されているか否かを試験したい要求もある。

【0035】図8乃至図10にデータ DQの後縁側のタ

イミングが基準クロックDQSの前縁のタイミングから所定の時間以上維持されたか否かを試験する様子を示す。図8乃至図10に示すTbは基準クロックDQSの前縁のタイミングからデータDQの後縁のタイミングまでの時間を示す。また、TdrはストローブパルスSTB1とストローブパルスSTB2に与えた位相差を示す。この場合もストローブパルスSTB1とSTB2は基準クロックDQS及びデータDQに発生するジッタの範囲に相当するタイミングの範囲をサーチさせる。

【0036】図8はTb=Tdrの場合を示す。この場合には第2論理比較器にBの出力は0論理のバスを出力している期間（図8Bに示す比較タイミングT1、T2では第1論理比較器12Aは1論理のフェイルを出力する。ストローブパルスSTB1が基準クロックDQSの前縁のタイミングを検出すると、第1論理比較器12Aは比較タイミングT3に示すように0論理のバスを出力する。サーチが進みストローブパルスSTB2がデータDQの後縁を検出すると第2論理比較器12Bは比較タイミングT4に示すように1論理のフェイルを出力する。

【0037】図9にTb>Tdrの場合の動作を示す。この場合には図9Bに示す比較タイミングT3、T4、T5に示すようにTb-Tdrの時間差に相当する時間の範囲で第1論理比較器12Aと第2論理比較器12Bは共に0論理のバスを出力し、その後、ストローブパルスSTB2がデータDQの後縁を検出するから第2論理比較器12Bは1論理のフェイルを出力する。図10にTb<Tdrの場合の動作を示す。この場合には図10Bの比較タイミングT3、T4に示すように、第1論理比較器12Aと第2論理比較器12Bは必ず1論理のフェイルを同時に出力する状態が発生する。

【0038】従って、データDQが基準クロックDQSの前縁のタイミングから所定の時間以上継続したか否かを試験する場合には、相対比較器13の真理値表は図11Bに示すように入力の双方が共に1論理の状態では1論理のフェイルを出力するように設定すればよい。図12に相対比較器13の具体的な実施例を示す。この実施例では4個のレジスタRG1、RG2、RG3、RG4と、これら4個のレジスタRG1～RG4に設定したデータを2ビットの選択信号FL1、FL2で選択して取り出すマルチプレクサMUXとによって相対比較器13を構成した場合を示す。

【0039】レジスタRG1～RG4には試験の内容に従って利用者が任意にバスとフェイルの論理値を設定すればよい。例えば前縁側の試験を行う場合はレジスタRG1～RG4に図11Aに示した真理値表の判定結果に従って0、0、1、0を設定し、選択信号FL1、FL2として第1論理比較器12Aの出力と、第2論理比較器12Bの出力を割当てる。従って、12A、12Bの出力FL1とFL2が0、0であればマルチプレクサM

UXはレジスタRG1に設定したバスを表わす0論理を選択して出力し、FL1とFL2が1、0であればマルチプレクサMUXはレジスタRG2に設定したバスを表わす0論理を選択して出力し、FL1とFL2が0、1であればマルチプレクサMUXはレジスタRG3に設定したフェイルを表わす1論理を選択して出力し、FL1とFL2が1、1であればマルチプレクサMUXはレジスタRG4に設定したバスを表わす0論理を出力する。

【0040】一方、データDQの後縁側の試験を行う場合はレジスタRG1～RG4には図11Bに示す真理値表の判定結果に従って0、0、0、1を設定すればよい。このように、相対比較器13を構成することにより利用者は希望する試験を自由に選択して行うことができる。またデータDQの前縁と後縁のタイミングに限らず他の試験にも利用できる利点を得られる。尚、相対比較器13の構成としては図12に示した構成に限らず、例えば書き替え可能なメモリによって構成することもでき、その選択は自由である。

【0041】上述したように、ストローブパルスSTB1とSTB2をサーチ動作させた場合に相対比較器13から1回でも1論理のフェイルが発生すればその出力ピンは不良と判定することができる。つまり、位相差Tdqを短く設定すればグレードの高い半導体デバイスを選別することができ、位相差Tdqを長目に設定すれば良品の判定率を高めることができる。また、位相差Tdqを長目に設定すればデータDQの保持率の高い半導体デバイスを選別することができる。

【0042】

【発明の効果】以上説明したように、この発明によれば各データの発生タイミングを測定するための位相の基準となる基準クロックDQSの位相が変動しても各テストサイクル毎に、基準クロックDQSの位相と、各データの位相をリアルタイムで比較し、その位相差Taが設定値Tdqより長いことを検出して不良と判定する試験方法及び位相差Tbが設定値Tdrより短いことを検出して不良と判定する試験方法を採用するから、試験を短時間に済ませることができる。また、各テストサイクル毎に各テストサイクルの実行時点で発生している基準クロックDQSの位相を実際に使用してデータDQの位相差を測定するから、温度変動等に伴って発生する基準クロックDQSの位相変動に対しても考慮して試験が行われ、試験結果の信頼性の向上は顕著である。

【図面の簡単な説明】

【図1】この発明による半導体デバイス試験装置の一実施例を説明するためのブロック図。

【図2】この発明で用いるタイミング比較器を説明するためのブロック図。

【図3】図2に示したタイミング比較器の動作を説明するためのタイミングチャート

【図4】この発明で試験対象としている半導体デバイス

が出力する基準クロックとデータの関係を示すためのタイミングチャート。

【図5】この発明による半導体デバイス試験方法を説明するためのAはタイミングチャート、Bは論理判定結果を時系列に配列して示した図。

【図6】図5と同様の図。

【図7】図5と同様の図。

【図8】図5と同様の図。

【図9】図5と同様の図。

【図10】図5と同様の図。

【図11】この発明の要部となる相対比較器の動作を説明するための図。

【図12】この発明の要部となる相対比較器の具体的な構成の一例を説明するためのブロック図。

【図13】この発明で解決しようとする課題を説明するためのタイミングチャート。

\*【図14】図9と同様の図。

【符号の説明】

DUT 被試験半導体デバイス

DQ データ

DQS 基準クロック

STB1、STB2 ストローブパルス

10A、10B レベル比較器

11A 第1タイミング比較器

11B 第2タイミング比較器

12A 第1論理比較器

12B 第2論理比較器

13 相対比較器

Ta、Tb 基準クロックとデータの位相差

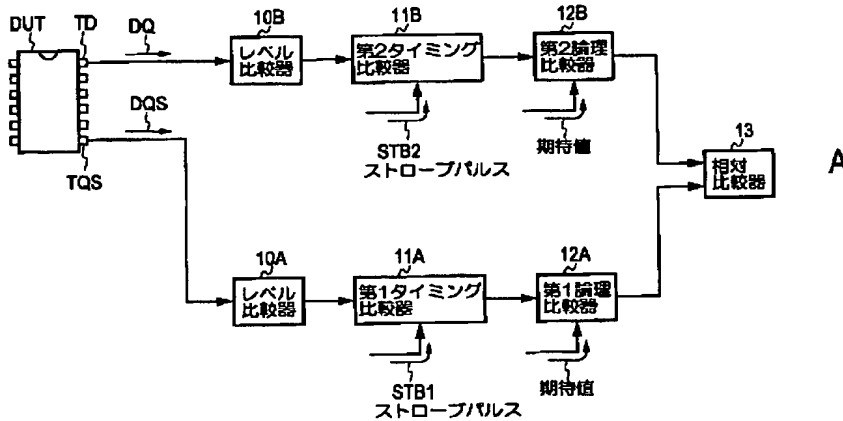
Tdq、Tdr ストローブパルスSTB1とSTB2に与えた位相差

【図1】

【図11】

図 1

図 11



相対比較器13の真理値表

DQの前縁側との比較		
入 力		判定結果
12Aの比較出力	12Bの比較出力	13の比較出力
0	0	0
1	0	0
0	1	1
1	1	0

DQの後縁側との比較		
入 力		判定結果
12Aの比較出力	12Bの比較出力	13の比較出力
0	0	0
1	0	0
0	1	0
1	1	1

【図2】

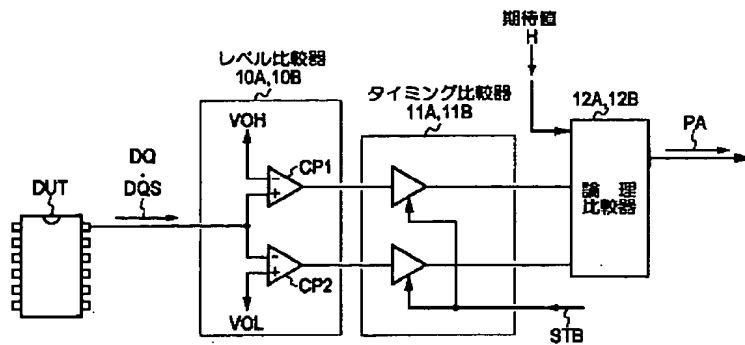
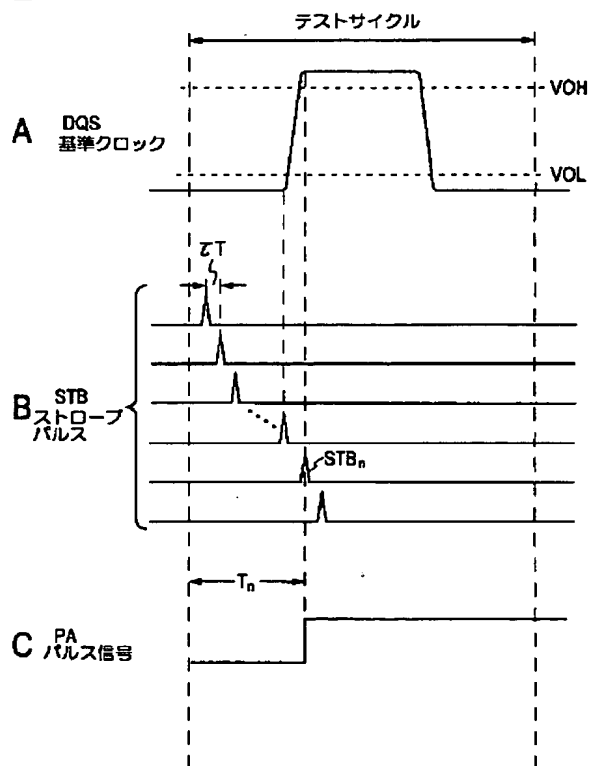


図 2

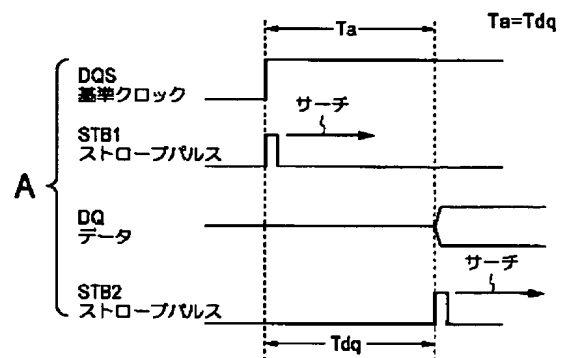
【図3】

図 3



【図5】

図 5

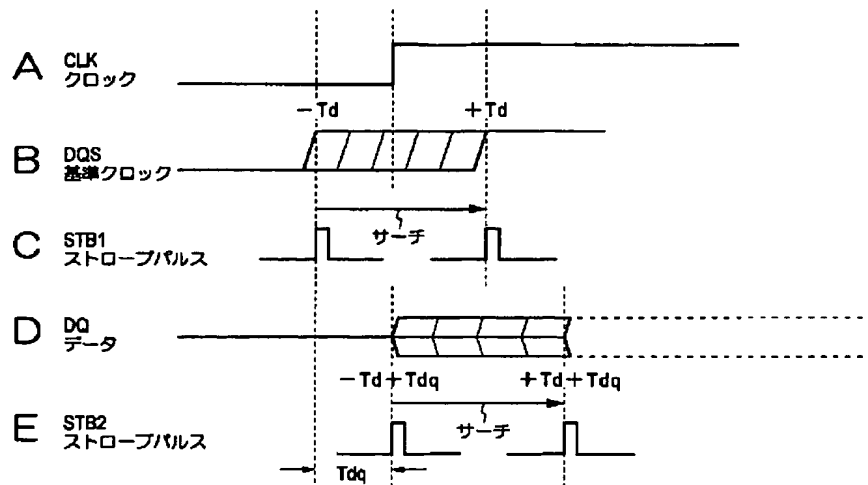


B

比較タイミング	T1	T2	T3	T4	T5	T6
第1論理比較器12Aの出力	1	1	0	0	0	0
第1論理比較器12Bの出力	1	1	0	0	0	0

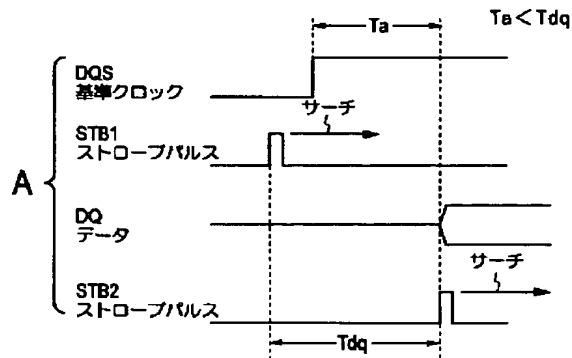
【図4】

図 4



【図6】

図 6

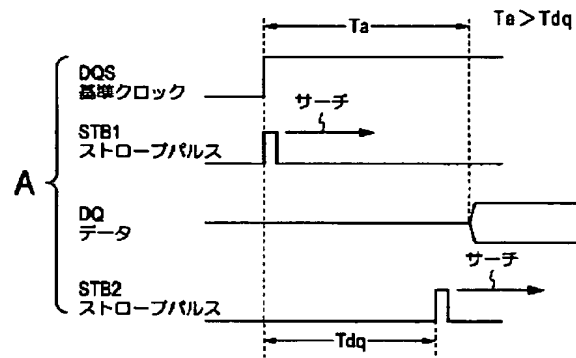


B

比較タイミング	T1	T2	T3	T4	T5	T6
第1論理比較器12Aの出力	1	1	1	1	0	0
第1論理比較器12Bの出力	1	1	0	0	0	0

【図7】

図 7

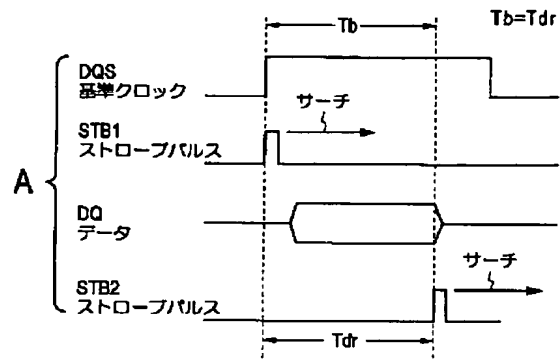


B

比較タイミング	T1	T2	T3	T4	T5	T6
第1論理比較器12Aの出力	1	1	0	0	0	0
第1論理比較器12Bの出力	1	1	1	1	0	0

【図8】

図 8

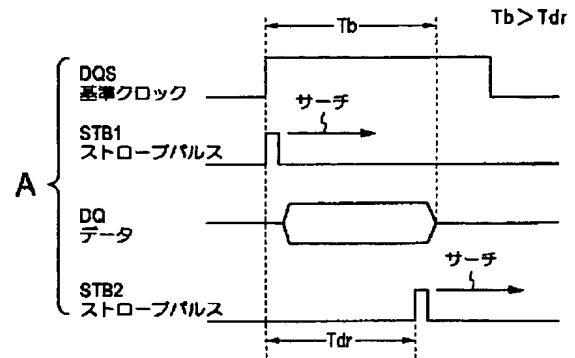


B

比較タイミング	T1	T2	T3	T4	T5	T6
第1論理比較器12Aの出力	1	1	0	0	0	0
第1論理比較器12Bの出力	0	0	0	1	1	1

【図9】

図 9

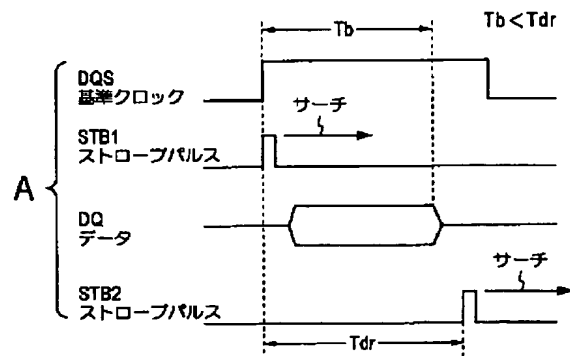


B

比較タイミング	T1	T2	T3	T4	T5	T6
第1論理比較器12Aの出力	1	1	0	0	0	0
第1論理比較器12Bの出力	0	0	0	0	0	1

【図10】

図 10

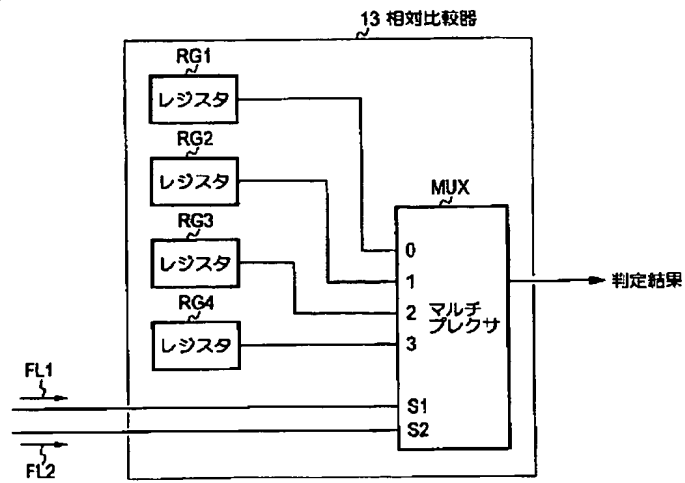


B

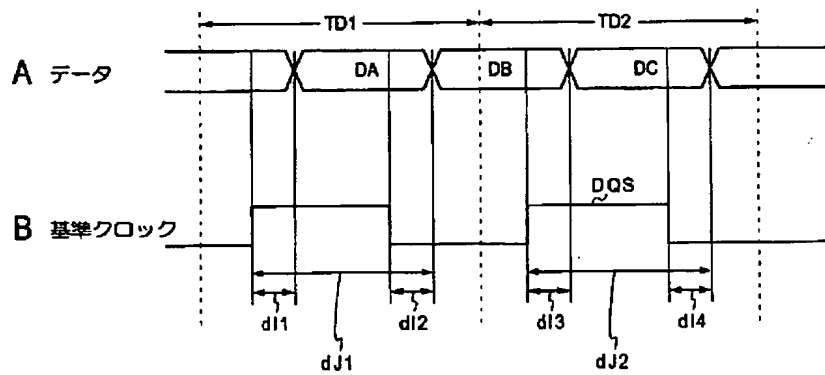
比較タイミング	T1	T2	T3	T4	T5	T6
第1論理比較器12Aの出力	1	1	1	1	0	0
第1論理比較器12Bの出力	0	0	1	1	1	1

【図12】

図 12



【図13】



【図14】

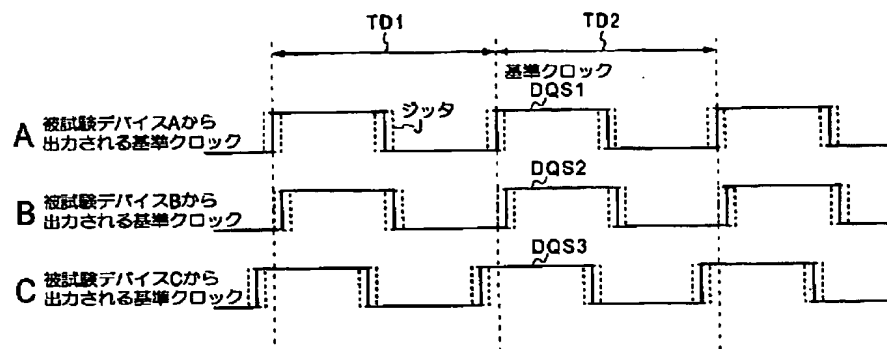


図 14